



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09319453 A**

(43) Date of publication of application: 12.12.97

(51) Int. Cl.

G06F 1/04

G06F 9/38

G06F 15/78

(21) Application number: 08136698

(71) Applicant: **NEC CORP**

(22) Date of filing: 30.05.96

(72) Inventor: CHIBA MASAKAZU
OUCHI MITSUO

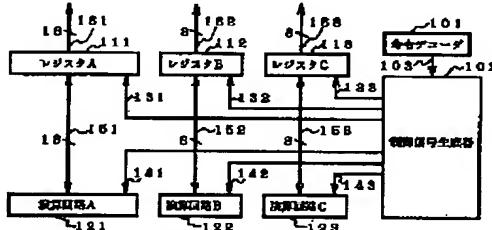
(54) LOW POWER CONSUMPTION MICROPROCESSOR

COPYRIGHT: (C)1997.JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption by operating only a register and an arithmetic circuit corresponding to the size of width of data path under execution of which data length of execution instruction is predetermined based on processing contents.

SOLUTION: A control signal generator 102 inputs instruction information from an instruction decoder 101 and outputs a control signal for commanding operations to respective registers A111, B112 and C113 and arithmetic circuits B112 and C123 and the supply of clocks to the respective inactive registers and arithmetic circuits is stopped. Therefore, when the reduction of power consumption is requested, only the register and arithmetic circuit to be operated can be operated corresponding to the length of data to be processed, and power consumption can be reduced without generating any data path part to be uselessly operated.



(19)日本国特許庁 (J P)

(12) 特許公報 (B 2)

(11)特許番号

第2778583号

(45)発行日 平成10年(1998) 7月23日

(24)登録日 平成10年(1998) 5月8日

(51)Int.Cl.⁵
G 0 6 F 1/04
9/38
15/78

識別記号
3 0 1
3 7 0
5 1 0

F I
G 0 6 F 1/04
9/38
15/78

3 0 1 C
3 7 0 X
5 1 0 P

請求項の数 3 (全 6 頁)

(21)出願番号 特願平8-136698
(22)出願日 平成8年(1996)5月30日
(65)公開番号 特開平8-319453
(43)公開日 平成9年(1997)12月12日
審査請求日 平成8年(1996)5月30日

(73)特許権者 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 千葉 雅一
東京都港区芝五丁目7番1号 日本電気
株式会社内
(72)発明者 大内 光郎
東京都港区芝五丁目7番1号 日本電気
株式会社内
(74)代理人 弁理士 京本 直樹 (外2名)
審査官 石田 信行

(56)参考文献 特開 平4-127210 (J P, A)
特開 平3-286213 (J P, A)
特開 平3-167615 (J P, A)

最終頁に続く

(54)【発明の名称】 低消費電力マイクロプロセッサ

1

(57)【特許請求の範囲】

【請求項1】 ビット長が異なるデータを処理する命令を扱うマイクロプロセッサにおいて、前記命令に前記ビット長を指定するビット長サイズ情報が埋め込まれた命令フォーマットを用いるとともに、前記命令を解読する命令デコーダと、前記命令の処理内容に準じてそれぞれ予め定められた前記ビット長に対応したビット幅をもつ、複数のレジスタおよび複数の演算回路と、同じビット幅をもつ前記レジスタおよび前記演算回路相互間をそれぞれ接続するデータバスと、前記命令デコーダで解読された制御情報に含まれる前記ビット長サイズ情報を抽出し、この情報に対応する前記ビット幅をもった前記レジスタおよび前記演算回路へそれぞれクロック信号を供給するか否かを制御する制御信号生成手段とを備えることを特徴とする低消費電力マイクロプロセッサ。

2

【請求項2】 前記制御信号生成手段は、実行中の前記命令から抽出された前記ビット長サイズ情報をデコードし、そのデコード結果にそれぞれ対応する前記レジスタおよび前記演算回路にクロック信号が供給されるように制御し、前記デコード結果に対応しない前記レジスタおよび前記演算回路にはクロック信号が供給されないように構成される請求項1記載の低消費電力マイクロプロセッサ。

【請求項3】 前記制御信号生成手段に供給される前記命令は、イミディエイト形式またはレジスタ形式の命令フォーマットのいずれであっても、前記ビット長サイズ情報を有する請求項1記載の低消費電力マイクロプロセッサ。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明は低消費電力マイクロプロセッサに係わり、特に実行中の命令から抽出されたビット長情報にそれぞれ対応するレジスタおよび演算回路のみを動作させ、非実行中の命令で扱うビット長をもつレジスタおよび演算回路に供給されるクロックを停止するようにした低消費電力マイクロプロセッサに関する。

【0002】

【従来の技術】一般的なコンピュータは、フォンノイマンが提案した技術以来、次に述べるような構成要素を備えるようになった。すなわち、中央処理装置(CPU)、記憶装置(メモリ)、入出力装置(I/O)の3要素である。中央処理装置、すなわちプロセッサはさらに演算部と制御部とからなる。

【0003】ここでいう演算部とは、現在データバスと呼ばれるものであり、次の3つ構成要素、すなわち、ALUやシフタ等の演算回路およびレジスタと、これら相互間を接続するとともにデータを伝達するための通信バスである。

【0004】また、コンピュータの構成は、その時代に使用可能なハードウェア技術に強く依存している。つまり、プロセッサが出現した当時は、上述したデータバスが4ビット構成であった。すなわち、レジスタおよび演算回路等で処理が可能なデータ等が4ビットの幅であった。

【0005】同様にこれらのハードウェア間を接続している通信バスも4本であった。しかし、半導体の微細化技術が進歩してくると、プロセッサ内にインプリメント可能ハードウェア量が膨大なものとなってきたために、レジスタおよび演算回路の機能が飛躍的に向上してきた。

【0006】この機能向上とともに、処理の可能なデータ長、つまりデータバスの幅が4ビットから8ビットへ、8ビットから16ビットへと拡張され、現在の高性能プロセッサでは、データバスの幅が64ビットへと増加してきている。

【0007】また、プロセッサは従来の計算装置としてのコンピュータなどの処理装置から電気製品の計算処理装置へとその応用分野はますます広がってきてている。

【0008】最近では、電池駆動型の電気製品にも用いられ、その処理能力への要求が高まるにつれて、高性能なプロセッサを用いるケースが増加している。このような場合、電力源が電池であるということで、消費電力の低減に対する要求が高まってきている。

【0009】上述したように進歩してきたプロセッサは、データバス幅の増大と、消費電力の低減という相反する課題に直面している。データバス幅の増大は、半導体微細化技術により、現在では容易に実現しているが、消費電力の低減に関しては、回路等の設計方法を工夫することによって実現している。

【0010】例えば、日経BP社発行の「コンピュータ

アーキュチャ」、ヘネシー・アンド・バターソン著、1992年12月発行を参照すると、動作スピードを上げるために、動的な処理回路(ダイナミック回路)が用いられていたが、これを静的な処理回路(スタティック回路)を用いることで、無駄な電流を排除したり、内部の実行回路をバイオペーリング化することで、不用な回路に対する電力供給を停止し、消費電力を低減している。

【0011】また、高機能なプロセッサでは、処理することの出来るデータ長を数種類用意しているが、演算回路、すなわち、ALU、シフタなどの演算を行なう回路およびレジスタなどは、分割されることなく、常にデータバスの幅で動作していた。

【0012】例えば、8、16、および64ビットのデータそれぞれのデータを処理することのできる64ビットプロセッサにおいて、それぞれのデータを処理する場合でも常に演算回路を動作させていた。つまり、4ビットのデータを処理する場合でも64ビット幅の演算回路を動作させていたために、処理をするデータ長に関わらず、消費電力が一定であった。

【0013】ここで、従来のマイクロプロセッサの構成例を示した図5を参照すると、このマイクロプロセッサ(図中のCPU)300は8ビット、16ビットおよび32ビットのデータを処理することが可能な32ビット幅のデータバスを備えた32ビットプロセッサである。

【0014】このプロセッサの演算回路321は32ビット幅で構成している。また、レジスタ311も32ビットになっている。制御信号生成器302は命令デコーダ301より命令情報を入力し、レジスタ311、演算回路321に動作を指示する制御信号331および341を出力する。つまり、扱うデータ長の大きさに関わらず、常に全てのレジスタおよび演算回路が動作していた。

【0015】

【発明が解決しようとする課題】上述したように従来のプロセッサは、ビットのデータを処理する場合、処理を行なうための実行命令のデータ長が処理内容に準じてあらかじめ定められたデータバスの幅の大きさに関わらず、常に全てのレジスタおよび演算回路が動作していたので、無駄、データバスが生じることになり消費電力を削減することが出来ず、したがって消費電力が一定であった。

【0016】本発明の目的は、上述の問題点に鑑みなされたものであり、電池駆動のプロセッサにおいて、実行命令のデータ長が処理内容に準じてあらかじめ定められた実行中の命令のデータバスの幅の大きさに順じたレジスタおよび演算回路のみ動作させることにより、消費電力を低減することにある。

【0017】

【課題を解決するための手段】本発明の低消費電力マイクロプロセッサの特徴は、ビット長が異なるデータを処

理する命令を扱うマイクロプロセッサにおいて、前記命令に前記ビット長を指定するビット長サイズ情報が埋め込まれた命令フォーマットを用いるとともに、前記命令を解読する命令デコーダと、前記命令の処理内容に準じてそれぞれ予め定められた前記ビット長に対応したビット幅をもつ、複数のレジスタおよび複数の演算回路と、同じビット幅をもつ前記レジスタおよび前記演算回路相互通話をそれぞれ接続するデータバスと、前記命令デコーダで解読された制御情報に含まれる前記ビット長サイズ情報を抽出し、この情報を対応する前記ビット幅をもつた前記レジスタおよび前記演算回路へそれぞれクロック信号を供給するか否かを制御する制御信号生成手段とを備えることにある。

【0018】また、前記制御信号生成手段は、実行中の前記命令から抽出された前記ビット長サイズ情報をデコードし、そのデコード結果にそれぞれ対応する前記レジスタおよび前記演算回路にクロック信号が供給されるよう制御し、前記デコード結果に対応しない前記レジスタおよび前記演算回路にはクロック信号が供給されないように構成される。

【0019】さらに、前記制御信号生成手段に供給される前記命令は、イミディエイト形式またはレジスタ形式の命令フォーマットのいずれであっても、前記ビット長サイズ情報を有する。

【0020】

【発明の実施の形態】まず、本発明の第1の実施の形態について図面を参照しながら説明する。図1は本発明の低消費電力マイクロプロセッサの第1の実施の形態を示すブロック図であり、図2は命令セットの命令フォーマットを示す図である。

【0021】本発明のマイクロプロセッサは、一例として8ビット、16ビットおよび32ビットのデータを処理することが可能な32ビット幅のマイクロプロセッサを用いて説明する。

【0022】図1を参照すると、本プロセッサのデータバスは、処理可能な最小データ長である8ビットごとに分割されており、またレジスタも8ビットごとに分割している。制御信号生成器102は、命令デコーダ101で生成された命令情報から制御対象となるレジスタおよび演算回路のデータビット長情報103のみを抽出して入力し、各レジスタA111、B112およびC113と、演算回路A121、B122およびC123とに動作を指令する制御信号を出力し、これらのレジスタおよび演算回路を動作させない場合は、これらにレジスタ制御用クロック131、132、133、および演算回路制御用クロック141、142、143の供給がそれぞれ停止されている。レジスタおよび演算回路間は通信バス151～153で、レジスタおよびシステムインターフェース間は通信バス161～163でそれぞれ接続される。

【0023】また本プロセッサの命令セットは、データを取り扱う命令の場合、図2に示すように、命令コード中に対象となるデータ長が示されている。

【0024】本実施の形態では、マイクロプロセッサは図2に示した命令コードのフォーマットを用いる。命令コードは、32ビットの固定長であり、イミディエイト形式とレジスタ形式との2つの命令フォーマットを用意し、どちらもビット24、25にサイズ領域をもち、データ処理を行なう場合のデータ長示す。

【0025】例えば、イミディエイト形式の場合は、ビット26～31がオペレーションコード(OP)、ビット24および25が命令のデータ長で、ここでいうデータビット長情報103であり、SIZE=00が8ビットデータ命令、SIZE=01が16ビットデータ命令、SIZE=11が32ビットデータ命令を示し、ビット20～23がソースレジスタ1番号(SRC1)、ビット16～19がターゲットレジスタ番号(TARGET)、ビット0～15がイミディエイト(IMMEDIATE)コードである。

【0026】一方、レジスタ形式は、ビット26～31がオペレーションコード(OP)、ビット24および25が命令のデータ長で、SIZE=00が8ビットデータ命令、SIZE=01が16ビットデータ命令、SIZE=11が32ビットデータ命令を示し、ビット20～23がソースレジスタ1番号(SRC1)、ビット16～19がターゲットレジスタ番号(TARGET)、ビット12～15がソースレジスタ2番号(SRC2)、ビット8～11がシフト命令のシフト数(SA)、ビット0～15がサブオペレーションコードである。

【0027】それぞれのデコード論理は、図2に示すように、ビット24および25に対して、レジスタおよび演算回路がONのときはクロックを供給し、OFFのときはクロックの供給を停止することを示している。

【0028】命令フォーマットのビット24が0、ビット25も0の場合、データ長は8ビットを示す。以下同様に、ビット24、25がそれぞれ1、0の場合、16ビットを示し、24、25がそれぞれ1、1の場合は32ビットデータを示す。つまり、16ビットの減算の場合は、ビット24は1を、ビット25は0を示す。

【0029】命令デコーダ101は、命令を解読するときに、処理を行なうこの命令のデータ長を命令コード中の前述のサイズ領域24および25から読み取り、制御信号生成器102に出力する。

【0030】制御信号生成器102は、一般的に使用されているデコーダ回路で構成することが出来、ここではデータ長サイズの2ビットの組み合せに対してレジスタおよび演算回路6個をそれぞれ所定の組み合せで選択するように構成すればよい。

【0031】命令デコーダ101からのデータ長情報を

基に動作可能にする各レジスタA111、B112およびC113と、各演算回路A121、B122およびC123を選択し、動作させるためのクロックを供給する。

【0032】そのとき、動作させないレジスタおよび演算回路には、クロックを供給しないので、無駄な電力の消費を抑制する。

【0033】図3に制御信号生成器102におけるクロック生成の出力論理を示す。図3を参照すると、例えば、16ビットの減算命令を実行する場合、16ビットの減算命令を命令デコーダ101でデコードすると、ビット24および25がそれぞれ1、および0の情報が得られるから、16ビットデータを処理する命令であると認識することができる。

【0034】この情報を制御信号生成器102に転送するとともに、図3に示した論理に従ってレジスタB112およびC113にはそれぞれクロックを供給し、それ以外のレジスタA111および演算回路A121、B122およびC123にはクロックの供給を停止する。

【0035】この例の場合は、16ビットデータを処理する演算命令であることが命令デコーダ101において明確になっているので、レジスタB112、レジスタC113および演算回路B122およびC123に対してクロックを供給する。

【0036】つまり、レジスタB112を動作させるためのレジスタ制御信用クロック信号132、同様にレジスタC113のための制御用クロック信号133、演算回路B122のための演算回路制御用クロック信号142、演算回路C123のための演算回路制御用クロック信号143を介してクロックを供給する。

【0037】その結果、レジスタA111および演算回路A121に対する電力が削減できることになる。

【0038】次に第2の実施の形態について説明すると、このプロセッサは、レジスタ間の転送命令を実行する場合の例である。

【0039】例えば、8ビットのレジスタ間転送命令を実行する場合について説明すると、8ビットレジスタ間転送命令を命令デコーダ101でデコードすると、ビット24および25がそれぞれ0および0という情報が得られるので、8ビットデータを扱う命令であることを認識できる。

【0040】その情報を制御信号生成器102に転送し、図4の出力論理にしたがってクロックを供給する。

この例の場合は、8ビットデータを扱う命令であることは命令デコーダ101において明確になっているので、レジスタC113のみに対してクロックを供給することになる。

【0041】つまり、レジスタC113を動作させるためのレジスタ制御用クロック信号133を介してクロックを供給する。その結果、レジスタA111、レジスタ

B112、演算回路A121、演算回路B122、演算回路C123はクロックが供給されないので動作せず、したがって、消費電力を削減することができる。

【0042】

【発明の効果】以上説明したように、本発明の低消費電力マイクロプロセッサは、ビット長が異なるデータを処理する命令を扱うマイクロプロセッサにおいて、前記命令に前記ビット長を指定するビット長サイズ情報が埋め込まれた命令フォーマットを用いるとともに、前記命令を解読する命令デコーダと、前記命令の処理内容に準じてそれぞれ予め定められた前記ビット長に対応したビット幅をもつ、複数のレジスタおよび複数の演算回路と、同じビット幅をもつ前記レジスタおよび前記演算回路相互間をそれぞれ接続するデータバスと、前記命令デコーダで解読された制御情報に含まれる前記ビット長サイズ情報を抽出し、この情報に対応する前記ビット幅をもつた前記レジスタおよび前記演算回路へそれぞれクロック信号を供給するか否かを制御する制御信号生成手段とを備え、この制御信号生成手段は、実行中の前記命令から抽出された前記ビット長サイズ情報をデコードし、そのデコード結果にそれぞれ対応する前記レジスタおよび前記演算回路にクロック信号が供給されるように制御し、前記デコード結果に対応しない前記レジスタおよび前記演算回路にはクロック信号が供給されないように構成されるので、電池駆動のプロセッサにおいて、消費電力の低減が要求されている場合に、処理を行なうデータ長に応じて、動作すべきレジスタおよび演算回路のみを動作させることができ、無駄の動作をするデータバス部が生じることがなく、消費電力が低減できる。

30 【図面の簡単な説明】

【図1】本発明の第1の実施鶴の形態のマイクロプロセッサのブロック図である。

【図2】第1の実施の形態で用いる命令フォーマットを示す図である。

【図3】制御信号生成器の16ビット減算命令のクロック出力論理を示す図である。

【図4】制御信号生成器のレジスタ間転送命令のクロック出力論理を示す図である。

【図5】従来のマイクロプロセッサの構成を示すブロック図である。

40 【符号の説明】

101, 301 命令デコーダ

102, 302 制御信号生成器

203 データビット長情報

111 16ビット幅のレジスタA

112, 113 8ビット幅のレジスタBおよびC

121 16ビット幅の演算回路A

122, 123 8ビット幅の演算回路BおよびC

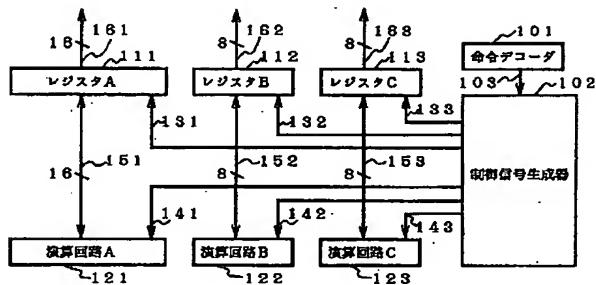
131, 132, 133, 331 レジスタ制御用クロック信号

9

141, 142, 143, 341 演算回路制御用クロック信号
151 16ビット幅のレジスタおよび演算回路間通信バス
152, 153 8ビット幅のレジスタおよび演算回路間通信バス
161 16ビット幅のレジスタおよびシステムインターフェース間の通信バス

* 162, 163 8ビット幅のレジスタおよびシステムインターフェース間の通信バス
311 32ビット幅のレジスタ
321 32ビット幅の演算回路
351 32ビット幅のレジスタおよび演算回路間通信バス
361 32ビット幅のレジスタおよびシステムインターフェース間の通信バス

【図1】



【図2】

オペレート形式							
81	28	25	23	20	18	16	0
OP	SIZE	SRC1	TARGET	IMMEDIATE			
6ビット	2ビット	4ビット	4ビット	16ビット			

レジスタ形式							
81	28	25	23	20	18	16	0
OP	SIZE	SRC1	TARGET	SRC2	SA	FUNC	
6ビット	2ビット	4ビット	4ビット	4ビット	4ビット	4ビット	8ビット

OP.....オペレーションコード（命令の種類）
SIZE.....処理対象のデータ長サイズ
SRC1.....ソースレジスタ1番号
SRC2.....ソースレジスタ2番号
TARGET.....ターゲットレジスタ番号
SA.....シフト命令のシフト数
FUNC.....サブオペレーションコード（拡張オペレーションコード）

【図3】

データ長	SIZE	レジスタA	レジスタB	レジスタC	演算回路A	演算回路B	演算回路C
8ビットデータ	00	OFF	OFF	ON	OFF	OFF	OFF
16ビットデータ	01	OFF	ON	ON	OFF	ON	ON
32ビットデータ	11	ON	ON	ON	ON	ON	ON

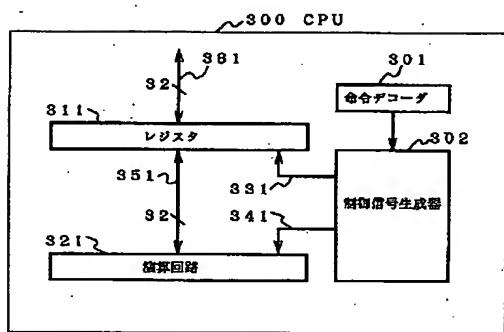
SIZE...命令コード中のビット24, 25
ON...---クロックを供給する
OFF...---クロックを供給しない

【図4】

データ長	SIZE	レジスタA	レジスタB	レジスタC	計算回路A	計算回路B	計算回路C
8ビットデータ	00	OFF	OFF	ON	OFF	OFF	OFF
16ビットデータ	01	OFF	ON	ON	OFF	OFF	OFF
32ビットデータ	11	ON	ON	ON	OFF	OFF	OFF

SIZE--命令コード中のビット24, 25
 ON----クロックを供給する
 OFF----クロックを供給しない

【図5】



フロントページの続き

(58)調査した分野(Int.Cl. 6, DB名)

G06F	1/04	301
G06F	9/38	370
G06F	15/78	510